

Мараховский Леонид Федорович, Михно Наталия Леонидовна

ТЕОРИЯ ПОСТРОЕНИЯ ПОТЕНЦИАЛЬНЫХ ЭЛЕМЕНТАРНЫХ СХЕМ АВТОМАТНОЙ ПАМЯТИ

Аннотация

В данной статье рассмотрена, предложенная автором, теория построения элементарных схем автоматной памяти, которые определяют не только пару функций переходов $\delta^{(i)}$ и выходов $\varphi^{(i)}$, но и изменяют саму структуру запоминания без потери быстродействия за счет введения сохраняющих входных сигналов $e(\Delta)$.

Вступление. В настоящее время основными направлениями для разработки высокопроизводительных вычислительных ЭВМ являются параллелизм и конвейеризация [14–16; 19; 24]. На основе объединения этих двух направлений разрабатываются современные вычислительные структуры суперЭВМ. Характерной особенностью систем управления современных ЭВМ, телекоммуникационных систем и сетей является их многоуровневая, иерархическая структура с последовательным режимом работы. Последовательность работы иерархических систем управления предусматривает системный подход к проектированию устройств на элементарных схемах памяти (триггерах).

Во всем мире продолжается поиск новых схемотехнических решений элементарных схем памяти с качественно новыми свойствами. Исследования в этой области проводились на логических элементах [1–4; 21–24], на пороговых элементах [8], на нейронных элементах [18], на элементах многозначной логики [22].

Исследования в сфере многофункциональных схем памяти при использовании триггеров как базовой схемы запоминания сталкивались с ограничениями элементной базы, которая ограничивалась теоремой о структурной полноте элементарных автоматов и монофункциональными возможностями триггера [1–7]. Для достижения многофункциональности в схемах памяти использовались разные коммутационные логические схемы функций возбуждения и выходов триггеров, которые управлялись автоматом стратегии [8; 17]. В этих многофункциональных автоматах использовался принцип последовательной обработки сначала управляющей информации в автомате стратегии, а потом частной – в самом многофункциональном автомате [17].

Монофункциональный автомат имеет жесткую структуру и всегда реализует одно и то же преобразование $\{X\} \rightarrow \{Y\}$. Для этих автоматов функциональность f равна единице ($L=1$).

Многофункциональность автоматов реализуется автоматом стратегии, который изменяет коммутацию функций возбуждения и выходов триггера, который запоминает только одно подмножество своих состояний. В этом случае автомат преобразует $\{X\} \xrightarrow{f_i} \{Y\}$, в котором функциональность f_i приобретает значение L , большее единицы ($L>1$).

Ограничения элементной базы современных компьютерных систем с памятью на триггерах не дают возможности создавать устройства ЭВМ, которые способны одновременно обрабатывать общую и частную информацию.

В данной статье рассмотрена, предложенная автором, теория построения элементарных схем автоматной памяти, которые определяют не только пару функций переходов $\delta^{(i)}$ и выходов $\varphi^{(i)}$, но и изменяют саму структуру запоминания без потери быстродействия за счет введения сохраняющих входных сигналов $e(\Delta)$.

Типовые сигналы, что используются в ЭВМ. Любая ЭВМ – это сложный комплекс устройств обработки информации.

Информация в ЭВМ используется в виде электрических сигналов –: *непрерывных* и *дискретных*. Непрерывные сигналы используются в *аналоговых вычислительных машинах* (АВМ), дискретные – в *цифровых* ЭВМ. Существуют еще гибридные *аналого-цифровые* ЭВМ. Цифровой способ обработки информации – универсальный, и потому наиболее применим в цифровых ЭВМ.

Дискретные электрические сигналы разделяются на *импульсы* и *потенциалы*. Импульс – дискретный сигнал определенной протяженности.

Протяженность потенциала в общем случае не определена. Отличие между потенциалом и импульсом заключается в том, что импульс имеет нерегулируемый спад.

У цифровых ЭВМ используется в основном двоичная система счисления с цифрами 0 и 1, потому что такие ЭВМ основываются на электрических схемах с двумя устойчивыми состояниями. Цифры 0 и 1 могут изображаться положительными и отрицательными импульсами, появлением и отсутствием импульсов, высоким и низким потенциалами, пакетами синусоидальных изменений в противоположных фазах (радиоимпульсы) и так далее. Несинусоидальный сигнал называют видеоимпульсом.

Схемы ЭВМ разделяются на *импульсные*, *потенциальные* и *импульсно-потенциальные* – зависимо от того, какой тип сигналов используется в них для обработки информации.

Служебные и дополнительные сигналы при этом могут быть двух типов. В цифровой интегральной микроэлектронике, как правило, используют потенциальные системы элементов. Это обусловлено тем, что для формирования и генерации импульсов нужны электронные схемы с конденсаторами и катушками индуктивности, а согласно с интегральной технологией ставит определенные трудности при изготовления микросхем с конденсаторами и катушками индуктивности.

При назначении схемы ЭВМ разделяются на *логические*, что обрабатывают информацию, *запоминающие*, что сохраняют информацию, и *дополнительные*, что обслуживают их работу.

При работе цифровые схемы разделяются на *комбинационные схемы* и *схемы с памятью*. Логические схемы принадлежат к комбинационным, а запоминающие – к последовательным.

Элементарные схемы автоматной памяти

Основные понятия. Принцип структурной организации схем автоматной памяти (САП) состоит в том, что используются n логических элементов ИЛИ-НЕ (И-НЕ), которые разбиваются на m ($m < n$) групп, выходы которых не соединены со входами логических элементов своей группы, но соединены со входами элементов других групп схемы автоматной памяти по определенному закону (например, со входами остальных логических элементов или со входами элементов только двух, трех и т. д. из m групп элементов). Один из свободных входов каждого i -го элемента соединяется со входами установочной входной шины ВхШХ, а другой из свободных входов каждого i -го элемента соединяется со входами сохраняющей входной шины ВхШЕ схемы памяти.

Принцип запоминания состояний в САП состоит в том, что установочные входные сигналы $x_i(t)$, которые появляются на узлах установочной входной шины ВхШХ, однозначно устанавливают выходные значения хотя бы одного логического элемента i -й группе, который через свои структурные связи удерживают в инверсном состоянии выходные значения элементов других групп, а те, в свою очередь, через обратные структурные связи подтверждают установленные выходные значения логических элементов при воздействии на них одного из сохраняющих наборов входных сигналов $e_j(\Delta)$, которые подаются по сохраняющей входной шине ВхШЕ. Эти выходные значения САП сохраняются.

Определение 1. САП назовем многофункциональным элементарным автоматом (МЭА) с полной системой переходов и полной системой выходов при реализации каждой из r_e ($r_e \geq 2$) функций δ_e запоминания состояний.

МЭА можно функционально рассматривать как r_e элементарных автоматов, каждый из которых запоминает все свои состояния только при одном из разных соответствующих сохраняющих наборах $e_j(\Delta)$ ($j = \overline{1, r_e}$) входных сигналов.

Метод микроструктурного синтеза элементарных САП. Рассмотрим метод микроструктурного синтеза, что дает возможность формальными методами построить асинхронную САП класса L из логических элементов функционально полной системы.

Вспользуемся комбинационной схемой ИЛИ-НЕ, которая реализует такую функцию:

$$y = \overline{f(a) \vee f(x) \vee f(e)}, \quad (1)$$

где $f(a)$ – функция от произвольного выходного сигнала схемы памяти, необходимая для запоминания состояния внутри САП;

$f(x)$ – функция от произвольного установочного входного сигнала $x_i(t)$;

$f(e)$ – функция от произвольного сохраняющего набора $e_j(\Delta)$ входного сигнала.

Комбинационную схему (1) назовем *базовым автоматом с одним состоянием* или *базовым автоматом* (БА). Наиболее простой БА – это логические элементы типа И-ИЛИ-НЕ, ИЛИ-НЕ или И-НЕ.

Метод микроструктурного синтеза асинхронных САП класса L состоит из такого алгоритма. Берем n БА и разбиваем их на m ($m < n$) групп. БА в каждой i -й ($i = \{1, 2, \dots, m\}$) группе не имеют обратных связей, поэтому их выходные узлы не присоединяются к входным узлам БА этой i -й группы. Выходы БА i -й группы соответственно соединяются непосредственно или через схему разделения ИЛИ (И) со входами $f(a)$ всех БА других групп. Один из свободных входов z_i каждого i -го БА соединяется со входами устанавливающей входной шиной $ШХ$, а другой из свободных входов u_i каждого i -го БА соединяется со входами сохраняющей входной шиной $ШЕ$ схемы памяти. По входным узлам z_i могут поступать установочные входные сигналы $x(t)$, а по входным узлам u_i могут поступать сохраняющие входные сигналы $e(\Delta)$. Устойчивые выходные сигналы на выходных узлах y_j БА соответствуют состояниям a_j САП.

Установочные входные сигналы $x_i(t)$ САП однозначно устанавливают определенное состояние $a_i(t)$ схемы памяти. Функцию δ_x возбуждения в элементарном автомате можно описать в векторном виде:

$$a_i(t) = \delta_x(x(t)). \quad (2)$$

Значения двоичного набора на входных узлах z_j САП при воздействии установочного набора $x_i(t)$ входного сигнала характеризуется тем, что только на входных узлах БА $_j$ одной i -й группы входной сигнал может иметь значение, которое равно логическому нулю (неактивному сигналу) хотя бы на одном БА $_j$, а на входных узлах БА $_j$ других групп значения входных сигналов соответственно равны логической единице (активным сигналам).

Сохраняющий набор $e_j(\Delta)$ входных сигналов САП может запоминать одно из состояний $a_i(\Delta)$ определенного блока π_j состояний, предварительно определенного установочным набором $x_i(t)$ входного сигнала. Функцию δ_e запоминающую состояние $a_i(\Delta)$ в элементарном автомате можно описать в векторном виде:

$$a(T) = \delta_e(a(t), e(\Delta)), a(t) = a(\Delta). \quad (3)$$

Значения двоичного набора на входных узлах u_j САП при воздействии сохраняющего набора $e_j(\Delta)$ входных сигналов характеризуется тем, что на входных узлах БА $_j$ хотя бы двух групп САП должны быть входные сигналы, значения которых равно логическому нулю (неактивному сигналу). Количество K запоминаемых состояний при определенном сохраняющем наборе $e(\Delta)$ входного сигнала равно количеству групп САП, на входах которых значения входного сигнала на узле u_j равно логическому нулю (неактивному сигналу). В связи с этим, значение количества K зависит от сохраняющих наборов $e(\Delta)$ входных сигналов и может изменяться от 2 до m .

Состояние a_i САП отождествляется со значениями выходных сигналов y_j БА $_j$ только одной группы, если хотя бы один из выходных сигналов y_j этой группы равнялся логической единице. Единичное значение выходного сигнала y_j в этой группе САП называют *активным*, потому что этот выходной сигнал y_j воздействует на входные узлы БА $_j$ других групп устанавливает на их выходных узлах выходные сигналы y_j , которые равны логическому нулю.

Характеристическое число K_i запоминаемых состояний i -й группы определяется по формуле:

$$K_i = 2^R - 1, \quad (4)$$

где R – количество БА в i -й группе САП.

Характеристическое число K_i запоминаемых состояний i -й группы САП означает количество блоков μ_i состояний. Переход из состояния $a_k(t)$ в состояние $a_s(\Delta)$ в блоке μ_i состояний

возможный при изменении сохраняющего набора $e(\Delta)$ входного сигнала, если в этой i -й группе САП количество БА _{j} больше единицы. Такой переход называют *укрупненным* [13].

Функцию δ_y укрупненного перехода можно описать в векторном виде так:

$$a(\Delta) = \delta_y(a(t), a(\Delta), e(\Delta)); a(t) \neq a(\Delta); a(t), a(\Delta) \in \mu_i. \quad (5)$$

Таким образом, количество запоминаемых состояний САП можно рассматривать в матрице, где строки матрицы определяют блоки π_j состояний, которые запоминаются при соответствующих сохраняющих наборах $e_j(\Delta)$ входных сигналов, а столбцы матрицы – блоки μ_i состояний, которые устанавливаются соответствующими установочными наборами $x_i(t)$ входных сигналов. Переход из состояния a_i в состояние a_k блока π_j состояний (в строке матрицы) выполняется под воздействием установочных наборов $x_i(t)$ входных сигналов, а переход в новое состояние в блоке μ_i состояний – под воздействием сохраняющих наборов $e(\Delta)$ входных сигналов. Триггеры (двоичные или многоустойчивые) имеют только один блок π состояний. Это означает, что монофункциональная схема памяти (двоичных и многоустойчивых триггеров) – это частный случай САП. Чтобы подтвердить этот вывод, рассмотрим табличное задание монофункциональных (табл. 1) и автоматных (табл. 2) схем памяти.

Таблица 1

Задание блока π состояний монофункциональных схем памяти				
e	x_1	x_2	...	X_m
e_0	A_1	A_2	...	A_m

Таблица 2

Задание матрицы состояний автоматных схем памяти					
e_j	x_i	x_1	x_2	...	X_m
e_1		A_{11}	A_{21}	...	A_{m1}
e_2		A_{12}	A_{22}	...	A_{m2}
...	
e_K		A_{1K}	A_{2K}	...	A_{mK}

Функция ϕ выходов в САП зависит от состояния a , которое устанавливается входным словом $p = x, e$. При этом возможны два случая: когда реализуется функция δ_e сохранения состояний (3) или функция δ_y укрупненного перехода (5).

Функция ϕ_1 выходов, которая зависит от состояния автомата $a(t-1)$ и установочного набора $x(t)$ входного сигнала, характеризует автомат 1-го рода и в векторной форме имеет вид:

$$y(t) = \phi_1(a(t-1), x(t)); \quad (6)$$

Функция ϕ_2 выходов, которая зависит от состояния автомата $a(t)$, установленного набором $x(t)$ входного сигнала, и состояния автомата $a(\Delta)=a(t)$, запоминаемого сохраняющим набором $e(\Delta)$ входного сигнала, характеризует автомат 2-го рода и в векторной форме имеет вид:

$$y(T) = \phi_2(a(t), a(\Delta)); a(t) = a(\Delta) \quad (7)$$

или

$$y(T) = \phi_2(a(T)); a(T) = a(t) \cup a(\Delta) \quad (8)$$

Функция ϕ_2 выходов обеспечивает запоминание установленного состояния $a(T)$ в течение такта T автоматного непрерывного времени.

Функция ϕ_3 выходов в САП зависит от состояния автомата $a(t)$, установленного набором $x(t)$ входного сигнала и от сохраняющего набора $e(\Delta)$ входного сигнала, который осуществляет укрупненный переход в новое состояние $a(\Delta)$ во время внутреннего такта Δ автоматного непрерывного времени. Эту функцию можно описать в векторном виде:

$$y(\Delta) = \phi_3(a(t), a(\Delta), e(\Delta)); a(t) \neq a(\Delta) \quad (9)$$

Функция ϕ_3 выходов характеризует автоматы 3-го рода.

Определение характеристик асинхронных САП. Количество M запоминаемых состояний САП определяется по формуле:

$$M = \sum_{i=1}^m K_i, \quad (10)$$

где K_i – характеристическое число i -й группы САП.

Общее количество r_x разных установочных входных сигналов $x_i(t)$ САП класса L определяется по формуле:

$$r_x = M + 1, \quad (11)$$

где M – количество запоминаемых состояний САП; 1 – дополнительный $x_p(t)$ входной сигнал, который устанавливает состояние $a_p(t)$, которое не запоминается ни при одном сохраняющему набору $e_j(\Delta)$ входных сигналов САП.

Состояние $a_p(t)$, которое не запоминается, устанавливается набором $x_p(t)$ входного сигнала, который на всех входных узлах z_j САП имеет значения равные логической единице, и характеризуется значениями логического нуля на всех выходных узлах y_j САП.

Количество r_k разных сохраняющих наборов $e(\Delta)$ входных сигналов, которые могут запоминать разные группы $k(2 \leq k \leq m)$ состояний в САП определяются по формуле:

$$r_k = \sum_{j=1}^k C_m^k \left(\prod_{i=1}^k R_i - 1 \right), \quad (12)$$

где C_m^k – количество комбинаций из m по k ;

m – количество групп БА в САП;

R_i – количество БА в i -й группе САП.

Общее количество r_e разных сохраняющих наборов $e(\Delta)$ входных сигналов САП определяются по формуле:

$$r_e = \sum_{k=2}^m r_k. \quad (13)$$

Общее количество r_e разных сохраняющих наборов $e(\Delta)$ входных сигналов САП можно определить и по такой формуле:

$$r_e = \prod_{i=2}^m K_i, \quad (14)$$

m – количество групп БА в САП;

K_i – характеристическое число i -й группы в САП.

На примере асинхронного RS-триггера можно показать, что монофункциональные схемы памяти, в которых $n = m$, – это частный случай САП, потому что их характеристики вычисляются по тем же самым формулами и имеют частный характер.

Характеристики RS-триггера имеют такие значения:

$$n = 2; m = 2; R_1 = R_2 = 1; M = \sum_{i=1}^2 K_i = 1 + 1 = 2; r_x = M + 1 = 2 + 1 = 3;$$

$$r_e = \prod_{i=2}^m K_i = 1.$$

САП класса L ($n > m$) при сравнении с асинхронным RS-триггером ($n = m$) уменьшает аппаратные затраты на одно запоминаемое состояние при увеличении количества запоминаемых состояний. Это наглядно иллюстрируется такой формулой:

$$L = \frac{\sum_{i=1}^m R_i}{\sum_{i=1}^m (2^{R_i} - 1)}. \quad (15)$$

Согласно формуле (15) при $n = m$ в триггерах число $L = 1$, потому что $R_i=1$ и $\sum_{i=1}^m R_i = \sum_{i=1}^m (2^{R_i} - 1)$. В САП при $n > m$ всегда, $R_i > 1$ и $\sum_{i=1}^m R_i < \sum_{i=1}^m (2^{R_i} - 1)$, а потому $L < 1$.

Уменьшение значения числа L соответствует уменьшению аппаратных затрат на одно запоминаемое состояние.

Рассмотрим для сравнения примеры.

1. RS-триггер: $n=2; m=2; R_1=R_2=1; L_1=1;$
2. многоустойчивый триггер на 8 состояний: $n=8; m=8; R_1=1; L_1=1;$
3. САП: $n=8; m=2; R_1=R_2=4; L_1=0,266.$

Заметим, что рассмотрены общая методология проектирования базовых САП и формульные зависимости, которые дают возможность определить основные параметры схем памяти M, r_x, r_e, L в соответствии с конструктивными характеристиками n, m, R_i .

2. Метод проектирования потенциальных САП

Основные понятия. Рассмотрим один из способов схемотехнической реализации САП из потенциальных логических элементов ИЛИ-НЕ (И-НЕ). Проектирование САП из потенциальных логических элементов начинается из задания матрицы состояний (див. табл. 2). Количество m групп БА в САП определяется количеством столбцов матрицы состояний, а количество R_i логических элементов в каждой i -й группе – количеством K_i разных состояний в i -му столбце матрицы по формуле:

$$R_i = \log_2(K_i + 1). \quad (16)$$

Схемотехническая реализация САП класса L состоит в использовании m групп по R_i логических элементов ИЛИ-НЕ (И-НЕ) в каждой. При этом выходы y_i логических элементов каждой i -й группы соединены с входами каждого элемента других групп, а два свободных входа в каждом логическом элементе соединены соответственно с установочной и сохраняющей входными шинами, по которым подаются установочные наборы $x_i(t)$ и сохраняющие наборы $e_j(\Delta)$ входных сигналов входного слова $p_k(T)=x_i(t), e_j(\Delta)$.

САП класса L можно описать системой уравнений переключательных функций (ПФ) из логических элементов ИЛИ-НЕ (И-НЕ).

Обобщенная система уравнений переключательных функций из логических элементов ИЛИ-НЕ (И-НЕ) САП класса L имеет такой вид:

$$\left\{ \begin{array}{l} 1 \left\{ \begin{array}{l} y_i = \overline{y_{p+1} \vee \dots \vee y_{p+q} \vee \dots \vee y_{k+\eta} \vee z_1 \vee u_1}; \\ \dots \\ y_p = \overline{y_{p+1} \vee \dots \vee y_{p+q} \vee \dots \vee y_{k+\eta} \vee z_p \vee u_p}; \end{array} \right. \\ \\ 2 \left\{ \begin{array}{l} y_i = \overline{y_{p+1} \vee \dots \vee y_{p+q} \vee \dots \vee y_{k+\eta} \vee z_1 \vee u_1}; \\ \dots \\ y_p = \overline{y_{p+1} \vee \dots \vee y_{p+q} \vee \dots \vee y_{k+\eta} \vee z_p \vee u_p}; \end{array} \right. \\ \dots \\ m \left\{ \begin{array}{l} y_{k+1} = \overline{y_1 \vee \dots \vee y_i \vee \dots \vee y_k \vee z_{k+1} \vee u_{k+1}}; \\ \dots \\ y_{k+\eta} = \overline{y_1 \vee \dots \vee y_i \vee \dots \vee y_k \vee z_{k+\eta} \vee u_{k+\eta}}; \end{array} \right. \end{array} \right. \quad (17)$$

где $X(x \in X, x = \{z_i\}, i = \overline{1, k + \eta})$ – множество устанавливающих наборов $x(t)$ входных сигналов;

$E(e \in E, e = \{u_i\}, i = \overline{1, k + \eta})$ – множество сохраняющих наборов $e(\Delta)$ входных сигналов;

$Y(Y_j \in Y, Y_j = \{y_i\}, i = \overline{1, k + \eta})$ – множество $y(T)$ выходных сигналов, которые отождествляются с состояниями САП класса L ;

m – количество групп логических элементов ИЛИ-НЕ (И-НЕ), не соединенных между собою по выходам.

САП класса L на логических элементах ИЛИ-НЕ (см. рис. 1) описывается уравнениями (16).

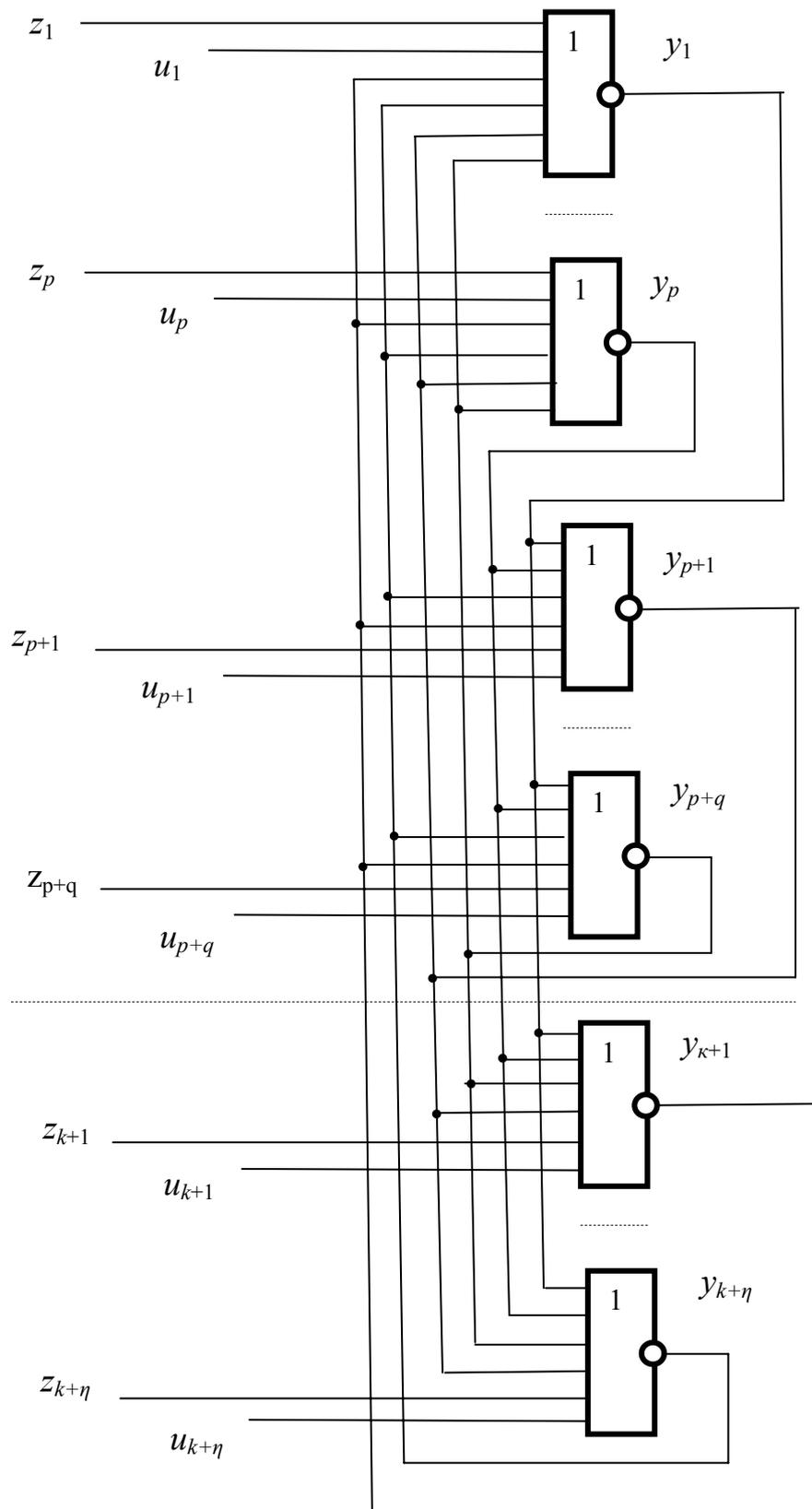


Рис. 1

В связи с тем, что в запоминании состояний берут участие только активные выходные сигналы одной i -й группы БА $_j$ (элементов ИЛИ-НЕ), значения которых равны логической единице, то можно сократить количество связей между группами, воспользовавшись дополнительным

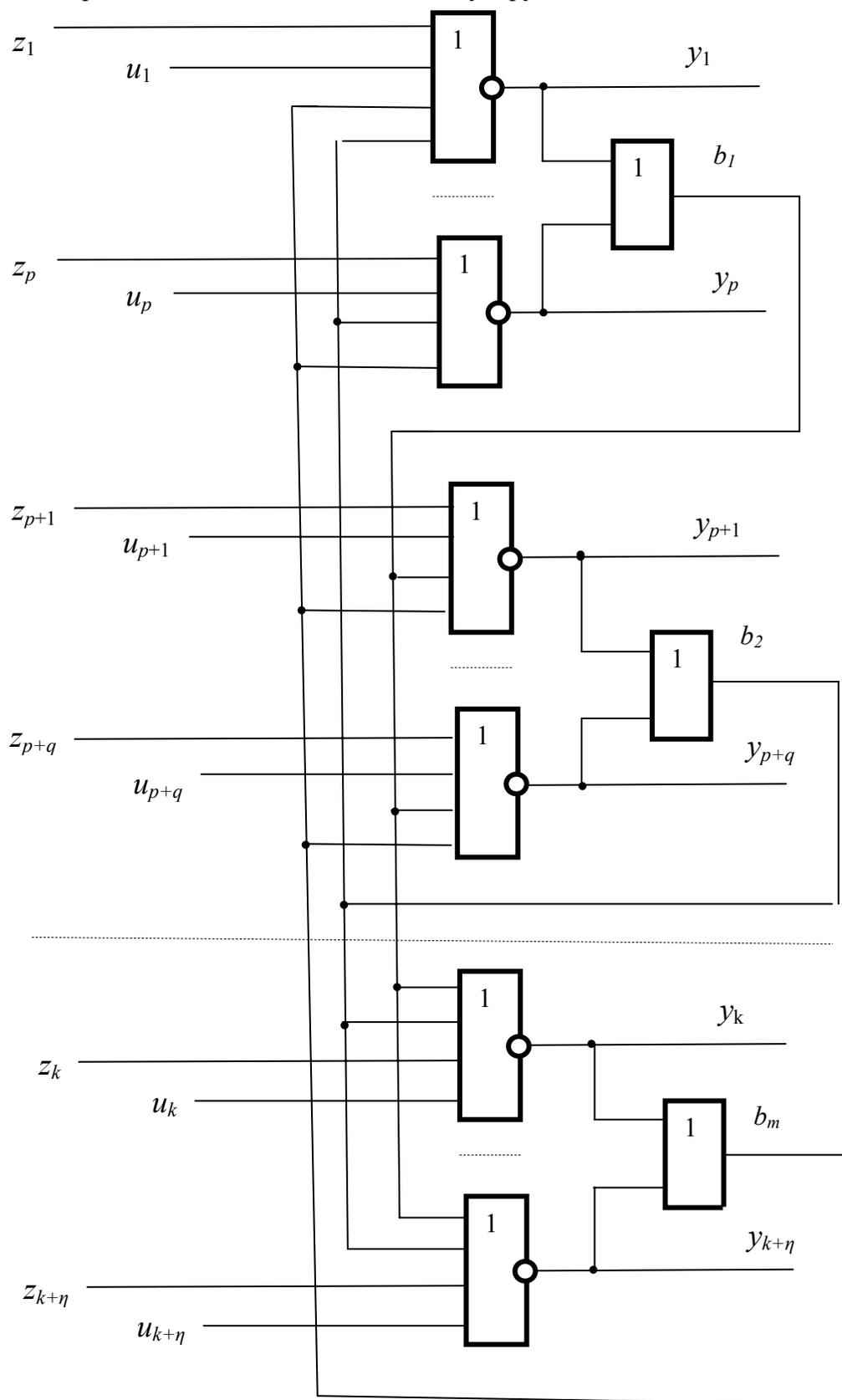


Рис. 2

логическим элементом ИЛИ в каждой группе, входы которой соединены с выходами БА_j этой группы, а выход – с входами БА_k других групп САП.

САП класса L^M можно описать системой уравнений переключательных функций (ПФ) из логических элементов ИЛИ-НЕ (И-НЕ) и дополнительным логическим элементом ИЛИ (рис. 2).

Общая система уравнений ПФ САП класса L^M приобретает такой вид.

$$\begin{cases}
 1 \left\{ \begin{aligned}
 &y_1 = \overline{b_2 \vee b_3 \vee \dots \vee b_m \vee z_1 \vee u_1}; \\
 &\dots \\
 &y_p = \overline{b_2 \vee b_3 \vee \dots \vee b_m \vee z_p \vee u_p}; \\
 &b_1 = y_1 \vee \dots \vee y_p;
 \end{aligned} \right. \\
 \\
 2 \left\{ \begin{aligned}
 &y_{p+1} = \overline{b_1 \vee b_3 \vee \dots \vee b_m \vee z_{p+1} \vee u_{p+1}}; \\
 &\dots \\
 &y_{p+q} = \overline{b_1 \vee b_3 \vee \dots \vee b_m \vee z_{p+q} \vee u_{p+q}}; \\
 &b_2 = y_{p+1} \vee \dots \vee y_{p+q};
 \end{aligned} \right. \\
 \\
 \dots \\
 m \left\{ \begin{aligned}
 &y_{k+1} = \overline{b_1 \vee b_2 \vee \dots \vee b_{m-1} \vee z_{k+1} \vee u_{k+1}}; \\
 &\dots \\
 &y_{k+\eta} = \overline{b_1 \vee b_2 \vee \dots \vee b_{m-1} \vee z_{k+\eta} \vee u_{k+\eta}}; \\
 &b_1 = y_{k+1} \vee \dots \vee y_{k+\eta};
 \end{aligned} \right.
 \end{cases} \tag{18}$$

Метод проектирования потенциальных САП. Рассмотрим пример использования метода проектирования потенциальных САП, заданных матрицей состояний A (табл. 3).

Таблица 3

		Матрица состояний САП	
		x ₁	x ₂
e _j	x _i		
e ₁	e ₁	A ₁	A ₄
e ₂	e ₂	A ₂	A ₄
e ₃	e ₃	A ₃	A ₄
e ₄	e ₄	A ₁	A ₅
e ₅	e ₅	A ₂	A ₅
e ₆	e ₆	A ₃	A ₅
e ₇	e ₇	A ₁	A ₆
e ₈	e ₈	A ₂	A ₆
e ₉	e ₉	A ₃	A ₆

Рассматривая табл. 3, приходим к выводу что САП класса L имеет две группы логических элементов (m=2), по два логических элемента в каждой, количество K_i запоминаемых состояний равно трем в каждой группе, а количество R_i логических элементов вычисляется по формуле (16): то есть R_i = log₂(3+1) = 2.

Когда известны основные структурные характеристики САП (m, R_i), основные свойства САП можно определить, не проектируя саму схему памяти:

$$M = (2^2-1)+(2^2-1) = 6; r_x = M+1 = 7; r_e = K_1 \times K_2 = 9.$$

Система ПФ САП, которая запоминает 6 состояний, имеет 7 установочных и 9 сохраняющих наборов входных сигналов, приобретает такой вид:

$$1 \begin{cases} y_1 = \overline{y_3 \vee y_4 \vee z_1 \vee u_1}; \\ y_2 = \overline{y_3 \vee y_4 \vee z_2 \vee u_2}; \end{cases} \quad (19)$$

$$2 \begin{cases} y_3 = \overline{y_1 \vee y_2 \vee z_3 \vee u_3}; \\ y_4 = \overline{y_1 \vee y_2 \vee z_4 \vee u_4}; \end{cases}$$

где y_i – выходные сигналы САП класса L ; z_i, u_i – входные сигналы, что поступают соответственно на протяжении такта t и на протяжении внутреннего такта Δ .

САП класса L , что запоминает 6 состояний, представим на рис. 3 в виде функциональной схемы.

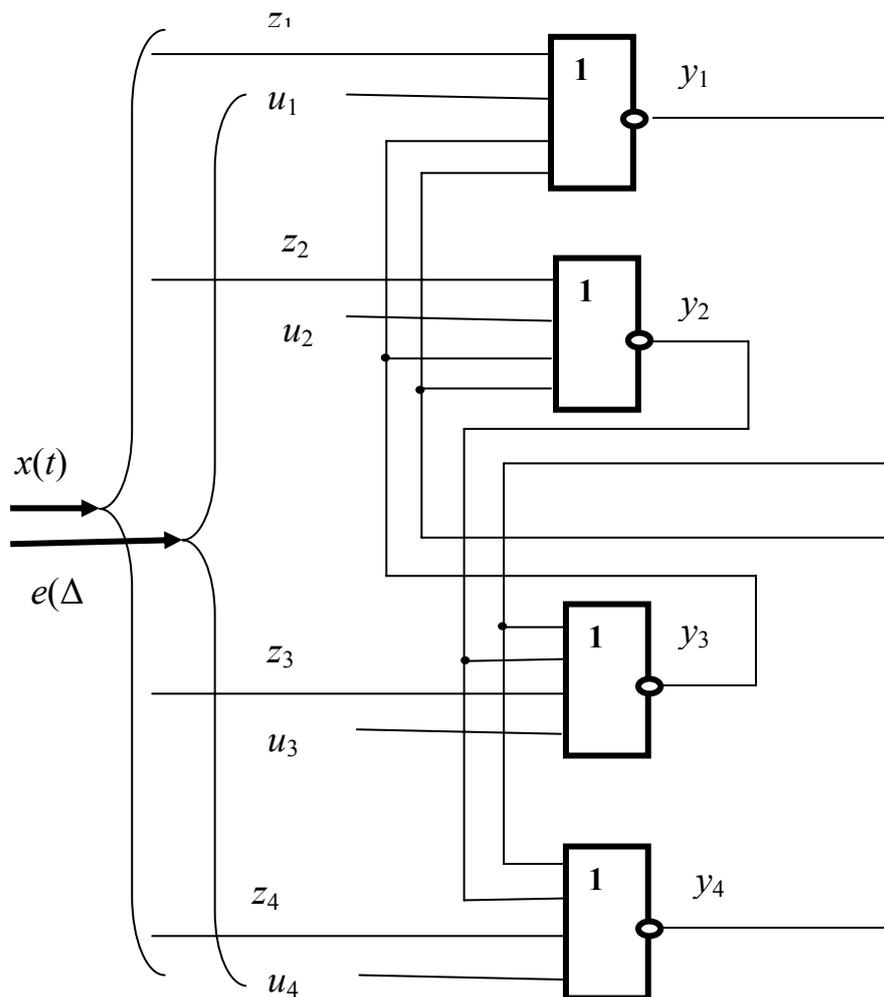


Рис. 3

Анализ САП. Методом математического моделирования определяем множество установочных наборов $x(t)$ входных сигналов и множество сохраняющих наборов $e(\Delta)$ входных сигналов. Результаты анализа схемы памяти (см. рис. 3) рассмотрены в табл. 4–7.

Сначала определяем множество установочных наборов $x(t)$ входных сигналов, которые согласно функции δ_x возбуждения, что реализуется функцией (2), однозначно устанавливают выходные сигналы БА. Характерной особенностью этих наборов входных сигналов является наличие единичных значений входных сигналов на входных узлах БА всех групп, кроме i -й. Количество разных сохраняющих наборов $e(\Delta)$ входных сигналов в i -й группе отвечает

характеристическое число K_i этой группы. Кроме этого, есть еще один установочный набор $x_p(t)$ входного сигнала, который имеет значения единицы на всех входных узлах САП и однозначно устанавливает выходные сигналы всех БА в нуль. Это состояние не запоминается ни при одном сохраняющем наборе входных сигналов. Принимая к вниманию эти особенности, определим установочные наборы входных сигналов, приведенные в табл. 4.

Таблица 4

Входной сигнал z_i	Установочные наборы входных сигналов						
	x_1	x_2	x_3	x_4	x_5	x_6	x_7
z_1	1	1	1	1	1	0	0
z_2	1	1	1	1	0	1	0
z_3	1	1	0	0	1	1	1
z_4	1	0	1	0	1	1	1

Подставляя наборы $x(t)$ входных сигналов в систему ПФ (19), находим решение системы относительно выходных значений узлов y_i . Значения всех входных узлов u_i во время такта t берем такими, что равны логическому нулю.

При входном сигнале x_1 система уравнений (19) приобретает такой вид:

$$1 \begin{cases} y_1 = \overline{y_3 \vee y_4 \vee 1 \vee 0}; \\ y_2 = \overline{y_3 \vee y_4 \vee 1 \vee 0}; \end{cases} \quad 2 \begin{cases} y_3 = \overline{y_1 \vee y_2 \vee 1 \vee 0}; \\ y_4 = \overline{y_1 \vee y_2 \vee 1 \vee 0}; \end{cases}$$

При отыскании значений y_i воспользуемся законами многозначной логики.

Конъюнкция, дизъюнкция и инверсия сигналов, которые имеют три значения ("1"; "0,5"; "0"), определяются по формулам многозначной логики, предложенной польским ученым Лукашевичем в 1920 году [10]:

$$\bigwedge_{i=1}^n x_i = \min(x_i); \quad (20)$$

$$\bigvee_{i=1}^n x_i = \max(x_i); \quad (21)$$

$$\overline{x} = 1 - x. \quad (22)$$

Значения $y_1 = 0$, потому что значение дизъюнкции $(y_3 \vee y_4 \vee 1 \vee 0)$ определяется по максимальному значению единичного (активного) сигнала, инверсия которого равна логическому нулю. С учетом этого все значения y_i , в которых хотя бы один аргумент равен единице, будут иметь значения логического нуля. Таким образом, решение A_0 системы ФП будет однозначным ($y_1 = y_2 = y_3 = y_4 = 0$).

При входном сигнале x_2 система уравнений (19) имеет такой вид:

$$1 \begin{cases} y_1 = \overline{y_3 \vee y_4 \vee 1 \vee 0}; \\ y_2 = \overline{y_3 \vee y_4 \vee 1 \vee 0}; \end{cases} \quad 2 \begin{cases} y_3 = \overline{y_1 \vee y_2 \vee 1 \vee 0}; \\ y_4 = \overline{y_1 \vee y_2 \vee 0 \vee 0}; \end{cases}$$

Решая эту систему, определим решение A_1 ($y_1 = y_2 = y_3 = 0$, а $y_4 = 1$).

Решая систему уравнений при наборах x_i входных сигналов, определяем однозначные решения A_j , которые характеризуют соответствующие состояния (табл. 5).

Таблица 5

Набор входных сигналов x_i	Устанавливаемые однозначные состояния САП класса L				Состояние A_j
	y_1	y_2	y_3	y_4	
x_1	0	0	0	0	A_0
x_2	0	0	0	1	A_1

x_3	0	0	1	0	A_2
x_4	0	0	1	1	A_3
x_5	0	1	0	0	A_4
x_6	1	0	0	0	A_5
x_7	1	1	0	0	A_6

Сохраняющие наборы $e_j(\Delta)$ входных сигналов характеризуются тем, что на входные узлы u_i хотя бы двух групп должны поступать хотя бы по одному входному сигналу, значение которого равно логическому нулю в каждой из этих групп. На все входные узлы u_i других БА_{*j*} могут поступать входные сигналы, значения которых равно логической единице. В этом случае должно выполняться условие, которое свидетельствует про то, что во время внутреннего такта Δ входные сигналы на узлах $z_i(\Delta)$ равны логическому нулю. Определим множество сохраняющих наборов $e_j(\Delta)$ входных сигналов с учетом их особенностей (табл. 6).

Таблица 6

Входной сигнал u_i	Сохраняющие наборы $e_j(\Delta)$ входных сигналов							
	Сохраняющий набор $e_j(\Delta)$ входных сигналов							
	e_1	e_2	e_3	e_4	e_5	e_6	e_7	e_8
u_1	1	1	1	0	0	0	0	0
u_2	0	0	0	1	1	1	0	0
u_3	1	0	0	1	0	0	1	0
u_4	0	1	0	0	1	0	0	1

Для сохраняющего набора входных сигналов e_1 система ПФ (19) принимает такой вид:

$$1 \begin{cases} y_1 = \overline{y_3 \vee y_4 \vee 0 \vee 1}; \\ y_2 = \overline{y_3 \vee y_4 \vee 0 \vee 0}; \end{cases} \quad 2 \begin{cases} y_3 = \overline{y_1 \vee y_2 \vee 0 \vee 1}; \\ y_4 = \overline{y_1 \vee y_2 \vee 0 \vee 0}; \end{cases}$$

Выходные сигналы y_1 и y_3 будут однозначными и такими, что их значения равны логическому нулю. Система ПФ принимает такой вид:

$$y_2 = \overline{y_4};$$

$$y_4 = \overline{y_2}.$$

Чтобы решить эту систему уравнений, необходимо доопределить по очереди значения переменных y_2 или y_4 , присваивая им значения единицы. Если взять $y_4=1$, решением системы ПФ будет $y_2=0$, а если взять $y_2=1$ решением системы будет $y_4=0$. Таким образом, система уравнений имеет два решения для наборов выходных сигналов A_1 и A_4 (см. табл. 5).

Решая систему уравнений (19) относительно сохраняющих наборов $e_j(\Delta)$ входных сигналов, приведенных в табл. 6, определим конкретные значения выходных сигналов y_i , наборы которых отождествляются с соответствующими состояниями A_j САП. Решение системы (19) приведены в табл. 7.

Таблица 7

Набор $e_j(\Delta)$ входных сигналов	Состояния САП, которые запоминаются	
	Состояния САП, которые запоминаются под влиянием наборов $e_j(\Delta)$ входных сигналов	
e_1	A_1, A_4	
e_2	A_2, A_4	
e_3	A_3, A_4	
e_4	A_1, A_5	
e_5	A_2, A_5	
e_6	A_3, A_5	
e_7	A_1, A_6	
e_8	A_2, A_6	

Рассматривая табл. 7. приходим к выводу, что набор A_0 (см. табл. 5) выходных сигналов, одержанных под влиянием установочного набора x_1 входного сигнала, не запоминается ни при одном наборе $e_j(\Delta)$ входных сигналов. Установочный набор $x_1(t)$ входного сигнала при переходе к любому набору $e_j(\Delta)$ входных сигналов приводит к вероятностному переходу в состояние, которое запоминается во множестве конкретного сохраняющего набора $e_j(\Delta)$ входных сигналов. Это качественно новый вероятностный переход в однозначное подмножество состояний САП.

Например, под влиянием входного слова $p(T) = x_1(t)$, $e_9(\Delta)$ САП переходит в определенное однозначное подмножество состояний A_3 и A_6 , но в какое самое состояние – неизвестно. Такой вероятностный переход возможен, только когда САП работает в вероятностном режиме. Поэтому, установочный набор $x_1(t)$ входного сигнала САП, который работает в детерминированном режиме, является запрещенным.

Таким образом, в этой статье рассмотрена теория построения потенциальных элементарных схем автоматной памяти, которые определяют не только пару функций переходов $\delta^{(i)}$ и выходов $\varphi^{(i)}$, но и изменяют саму структуру запоминания без потери быстродействия за счет введения сохраняющих входных сигналов $e(\Delta)$.

По мнению авторов – это качественно новая теория построения матричных схем памяти, которые осуществляют переходы по двум переменным входного слова $p=x$, e и найдут свое применение при реализации интегральных схем параллельных и конвейерных ЭВМ.

ЛІТЕРАТУРА

1. **Авер'янова Ю.А., Харченко Р.П.** Схемотехнічна практика: навч. посібник. – К.: НАНУ, 2003. – 180 с.
2. **Базь Г.А., Самохвалов Е.А.** Основы построения узлов электронных вычислительных машин: Учеб. пособие. К.: КИНХ, 1978. – 109 с.
3. **Баранов С.И.** Синтез микропрограммных автоматов: (граф-схемы и автоматы). – Л.: Энергия, 1979. – 232 с.
4. **Букреев И.Н., Мансуров В.М., Горячев В.И.** Микроэлектронные схемы цифровых устройств. – М.: Сов. радио, 1975. – 368 с.
5. **Вавилов Е.И., Портной Г.Н.** Синтез схем электронных цифровых машин. М.: Сов. радио, 1963. – 440 с.
6. **Гаврилов М.А., Девятков В.В., Пупырев Е.И.** Логическое проектирование дискретных автоматов. – М.: Наука, 1977. – 352 с.
7. **Глушков В.М., Капитонова Ю.В., Мищенко А.Т.** Логическое проектирование дискретных устройств. – К.: Наук. думка, 1987. – 264 с.
8. **Давыдкин В.И.** Многопороговые логические элементы с несколькими выходами. Приборы и техника эксперимента. – 1972. – № 1. – С.19-24.
9. **Евреинов Э.В., Прангишвили И.В.** Цифровые автоматы с перестраиваемой структурой (однородные среды). – М.: Энергия, 1977. – 240 с.
10. **Зиновьев А.А.** Философские проблемы многозначной логики. – М.: АН СССР, 1960. – 130 с.
11. **Мараховский Л.Ф.** Многофункциональные схемы памяти. – Киев: УСиМ – № 6.- 1996.– С.59-69
12. **Мараховский Л.Ф.** Основы теории проектирования дискретных устройств. Логическое проектирование дискретных устройств на схемах автоматной памяти: монография / – Киев: КГСУ, 1996.–128 с.
13. **Марховский Л.Ф., Михно Н.Л.** Математические основы многофункциональных автоматов 1-го и 2-го рода и автоматов 3-го рода.– М.: «Академія Тринитаризма», Эл№77-6567, пул.14296. 17.03.07. – 36 с.

14. **Микропроцессорные вычислительные системы** обработки информации: проектирование и отладка /А.В. Палагин, Е.Л. Денисенко, Р.И. Белицкий, В.И. Вигалов. – К.: Наук. думка, 1993. –352 с.
15. **Микропроцессорные системы обработки информации:** проектирование и отладка / А.В.Палагин, Е.Л.Денисенко, Р.И.Белицкий, В.И.Вигалов. – К.: Наук. думка, 1993. – 352 с.
16. **Михалевич В.С., Молчанов И.Н.** Проблемы развития параллельных компьютеров. – К., 1994.- 14 с. – Сер.. препр. НАН Украины. Ин-т кибернетики им. В.М.Глушкова.
17. **Мищенко В.А., Козюминский В.Д., Семашко А.Н.** Многофункциональные автоматы и элементная база цифровых ЭВМ / Под ред. В.А.Мищенко. – М.: Радио и связь, 1981. – 249 с.
18. **Мкртчян С.О** Нейрон и нейронные сети. – М.: Энергия, 1971. – 321 с.
19. **Многофункциональные регулярные вычислительные структуры** / Е.П. Балашов, В.Б. Смоллов, Г.А. Петров, Д.В. Пузанков – М.: Сов. радио, 1978. –288 с.
20. **Программируемые контроллеры для систем управления.** Часть 2. Характеристики микроконтроллеров и ПЛК: Учеб. пособие для вузов / Г.И. Загарий, Н.О. Ковзель, А.И. Стасюк и др. – Харьков: ХФИ «Транспорт Украины», 2003. – 264 с.
21. **Рабинович З.Л.** Основы теории элементарных структур ЭВМ. – 2-е изд., перераб. и доп. – М.: Радио и связь, 1982. -279 с.
22. **Раков М.А.** Реализация многозначных элементов и структур.– //Вычислительная техника и энергетика, – Киев, 1974. С 64-76.
23. **Романкевич А.М.** Прикладная теория цифровых автоматов. – К.: Вища шк., 1987. – 375 с.
24. **Справочник** по цифровой вычислительной технике: (процессоры и память) / Б.Н.Малиновский, Е.И.Брюхович, Е.Л.Денисенко и др. / Под ред. Б.Н.Малиновского. – К.: Техника, 1979. – 366 с.
25. **Тарасенко В.П., Корнейчук В.И.** Основы компьютерной техники. – К.: Вища шк., 2002.
26. **Ульянов В.Н.** Функциональные узлы цифровых устройств и микропроцессоров: Учеб. пособие. – М.: МЭИС, 1985. – 44 с.
27. **Цирамуа Г.С.** Дискретные системы переменной структуры. – М.: Знание, 1970. – 47 с.
28. **Шило В.Л.** Популярныe цифровые микросхемы: Справочник. – 2-е изд., испр. – М. : Радио и связь, 1989. – 352 с.